

PAT-NO: JP405180695A

DOCUMENT-IDENTIFIER: JP 05180695 A

TITLE: LIGHT MEASUREMENT CIRCUIT
AND OUTPUT VOLTAGE RANGE
SETTING METHOD

----- KWIC -----

Abstract Text - FPAR (1):

PURPOSE: To accelerate the response at the time of power supply switch-on and contrive cost reduction in a system by connecting a plurality of logarithm conversion diodes of an operational amplifier for logarithm conversion in series.

Abstract Text - FPAR (2):

CONSTITUTION: Logarithm diodes D<SB>21</SB>-D<SB>2n</SB> of an operational amplifier OPI for logarithm conversion are connected in series and current I_l from a photodiode PD is allowed to flow in a series circuit thereof. In addition, diodes D<SB>31</SB>-D<SB>3n</SB> are connected in series between the non-inversion input terminal and the ground terminal of an operation amplifier OP<SB>2</SB> in a reference voltage source and current I_{ref} from a steady flow power source 4 is allowed to flow in the diodes D<SB>31</SB>-D<SB>3n</SB>. Here, when the current I_l is allowed to flow from the photodiode PD to the

diodes D_{21} - D_{2n} , the output is expressed as follows:

$V_{out} = (nkT/g) \ln(I_{ref}/I_1)$ (where k : Boltzman's constant, T : absolute temperature, g : charge of electron). Furthermore, the parasitic capacity of the diodes D_{21} - D_{2n} becomes $C_2t = C_2/n$ and response speed at the time of power source switch-on is accelerated.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-180695

(43)公開日 平成5年(1993)7月23日

(51)Int.Cl.⁵
G 0 1 J 1/44

識別記号 庁内整理番号
F 8117-2G
A 8117-2G

F I

技術表示箇所

審査請求 未請求 請求項の数3(全6頁)

(21)出願番号

特願平4-20398

(22)出願日

平成4年(1992)1月8日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 辻 貴浩

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(74)代理人 弁理士 野口 繁雄

(54)【発明の名称】 测光回路と出力電圧レンジ設定方法

(57)【要約】

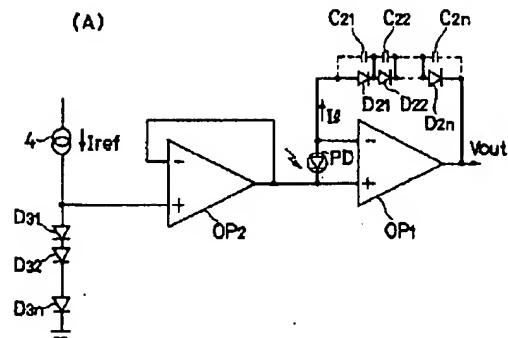
【目的】 電源投入時の応答速度を速めるとともに、出力レンジを設定する。

【構成】 演算増幅器OP2の対数変換ダイオードとしてn個のダイオードD21～D2nを直列に接続し、その直列回路にフォトダイオードPDからの電流I1を流す。基準電圧源では演算増幅器OP2の非反転入力端子とグラウンド端子間に対数変換ダイオードと同数のn個のダイオードD31～D3nを直列に接続し、定電流源4から電流IrefをダイオードD31～D3nに流す。

出力Voutは

$$Vout = (nkT/q) \ln(Iref/I1)$$

対数変換ダイオードD21～D2nの寄生容量C2tは
 $C2t = C2/n$
となり、電源投入時の応答速度が速くなる。



(B)



【特許請求の範囲】

【請求項1】 演算増幅器の2入力端子間に光電素子を接続し、前記演算増幅器の一方の入力端子と出力端子間に対数圧縮ダイオードを接続し、前記演算増幅器の他方の入力端子に基準電圧を印加し、前記光電素子に光が入射して発生した電流を前記対数圧縮ダイオードに流して対数圧縮した電圧に変換する測光回路において、前記演算増幅器の出力として第1のエミッタホロワ出力駆動回路と、それよりもエミッタサイズが小さくエミッタに接続された抵抗も小さい第2のエミッタホロワ出力駆動回路とを設け、前記対数圧縮ダイオードは第1のエミッタホロワ出力駆動回路側に接続し、第2のエミッタホロワ出力駆動回路と前記一方の入力端子間には対数圧縮ダイオードと逆方向のダイオードを接続したことを特徴とする測光回路。

【請求項2】 演算増幅器の2入力端子間に光電素子を接続し、前記演算増幅器の一方の入力端子と出力端子間に対数圧縮ダイオードを接続し、前記演算増幅器の他方の入力端子に基準電圧を印加し、前記光電素子に光が入射して発生した電流を前記対数圧縮ダイオードに流して対数圧縮した電圧に変換する測光回路において、前記基準電圧は複数のダイオードの直列回路に一定電流を流すことにより発生させ、前記対数圧縮ダイオードとして前記基準電圧用のダイオードと同数のダイオードを直列接続したものを用いたことを特徴とする測光回路。

【請求項3】 演算増幅器の2入力端子間に光電素子を接続し、前記演算増幅器の一方の入力端子と出力端子間に対数圧縮ダイオードを接続し、前記演算増幅器の他方の入力端子に基準電圧を印加し、前記光電素子に光が入

$$t_0 = \{(C_1(V_1 - V_0)/A_0) + C_2(V_1 - V_0)\} / i \quad \dots (1)$$

ここで、 A_0 は演算増幅器OP1のオープンループゲイン、 i は電流である。

【0004】図4(A)の測光回路における安定時間 t_0 が大きいので、これを小さくするために種々の改良がなされている。そのうちの1つは、図4(C)に示されるように、対数変換ダイオードD2に並列に逆方向のダイオードD1を接続する方法である(特開昭54-127379号公報参照)。このダイオードD1がない場合には電源投入時に出力電圧が電源電圧近くまで上昇するが、このダイオードD1を設けることにより、電源投入時の V_1 がある程度以上に上がるのを防ぐことができる。この場合の電源投入から出力電圧安定までの様子を

$$(kT/q) \ln(I_{ref}/I_s) - (kT/q) \ln(I_1/I_s) = (kT/q) \ln(I_{ref}/I_1) \quad \dots (2)$$

となる。ここで、 k はボルツマン係数、 T は絶対温度、 q は電子の電荷、 I_s はダイオードの逆方向飽和電流で★

$$((R_1 + R_2)/R_2)(kT/q) \ln(I_{ref}/I_1) \quad \dots (3)$$

となる。

【0006】

【発明が解決しようとする課題】図4(C)に示される☆50 時間を十分に短かくすることは困難である。そこで、本

*射して発生した電流を前記対数圧縮ダイオードに流して対数圧縮した電圧に変換する測光回路において、前記基準電圧は複数のダイオードの直列回路に一定電流を流すことにより発生させ、前記対数圧縮ダイオードとして前記基準電圧用のダイオードと同数のダイオードを直列接続したものを用い、そのダイオード数により出力電圧レンジを設定したことを特徴とする測光回路の出力電圧レンジ設定方法。

【発明の詳細な説明】

10 【0001】

【産業上の利用分野】本発明はカメラその他の光学機器における測光回路に関するものである。

【0002】

【従来の技術】一般的な測光回路は、図4(A)に示されるように、演算増幅器OP1の入力端子間に光電素子のフォトダイオードPDを接続し、演算増幅器OP1の反転入力端子と出力端子間に対数変換ダイオードD2を接続し、非反転入力端子に基準電圧源2から基準電圧を印加したものである。光をフォトダイオードPDで受け、流れ出す電流をダイオードD2で対数圧縮した電圧に変換して出力する。

20 【0003】図4(A)の測光回路では、フォトダイオードPDとダイオードD2にそれぞれ寄生容量C1、C2が発生する。この測光回路に電源を投入してから出力電圧が安定するまでに要する時間は寄生容量C1、C2を充電するのに要する時間で決まる。電源投入から出力安定までの様子を図4(B)に示す。電源投入時に電位 V_1 から安定電位 V_0 に到達するまでに要する時間 t_0 は次の式で表わされる。

$$t_0 = \{(C_1(V_1 - V_0)/A_0) + C_2(V_1 - V_0)\} / i \quad \dots (1)$$

※図4(D)に示す。

【0005】図5は図4(A)の測光回路のゲインを設定する回路まで記述したものである。図5では基準電圧源として、定電流源4により一定電流 I_{ref} を流し、ダイオードD3によって基準電圧を発生させ、その基準電圧を演算増幅器OP2を用いた非反転増幅回路により出力させる。演算増幅器OP1の出力は演算増幅器OP3の非反転入力端子に入力し、演算増幅器OP3の反転入力端子とグラウンド端子との間には抵抗R2を接続し、出力端子との間には帰還抵抗R1を接続する。フォトダイオードPDに光が当り、電流 I_1 が流れたとき、光電変換用の演算増幅器OP1の出力は

40 ★ある。したがって、演算増幅器OP3の出力 V_{out} は

☆ように対数変換ダイオードD2に逆方向に並列にダイオードD1を設けても、出力電圧が安定するまでに要する

発明の第1の目的は、図4(C)の測光回路で更に応答速度を速めることである。

【0007】図5の測光回路では抵抗R2として正温度係数をもつ抵抗を用いると、出力Voutが温度にかかわらず一定した値になるように設定することができるという利点がある。しかし、図5の回路を集積回路化する場合、正温度係数を示す抵抗R2を内蔵することができないため、通常は出力増幅器OP3の反転入力端子から集積回路の外に出る端子を設け、抵抗R2を外付けする必要がある。そのため、外付け部品が増えてコストが上昇し、プリント基板でのこの測光回路用の集積回路を搭載する位置が制約され、高密度実装が困難になるという欠点が生じる。

【0008】そこで、本発明の第2の目的は、対数変換ダイオードD2に寄生する寄生容量C2を減らして電源投入時の応答速度を速めるとともに、出力レンジを抵抗R1, R2で設定せず、温度に対する出力電圧の変化はCPUを用いて補正することによって、高集積化に適した測光回路を提供することである。本発明の第3の目的は、測光回路の出力レンジを設定する新規な方法を提供することである。

【0009】

【課題を解決するための手段】電源投入時の応答速度を速める第1の目的を達成するために、本発明では、は、対数圧縮用の演算増幅器の出力として第1のエミッタホロワ出力駆動回路と、それよりもエミッタサイズが小さくエミッタに接続された抵抗も小さい第2のエミッタホロワ出力駆動回路とを設け、対数圧縮ダイオードは対数圧縮用演算増幅器の一方の入力端子と第1のエミッタホロワ出力駆動回路間に接続し、第2のエミッタホロワ出力駆動回路と前記一方の入力端子間には対数圧縮ダイオードと逆方向のダイオードを接続する。

【0010】電源投入時の応答速度を速めるとともに高集積化に適した測光回路とする第2の目的を達成するために、本発明では、基準電圧は複数のダイオードの直列回路に一定電流を流すことにより発生させ、対数圧縮ダイオードとして基準電圧用ダイオードと同数のダイオードを直列接続したものを用いる。ここで、基準電圧用に対数圧縮ダイオードと同数のダイオードを用いるのは、対数圧縮ダイオードの逆方向飽和電流Isをキャンセルするためである。

【0011】測光回路の出力レンジを設定する新規な方法として、本発明では、基準電圧は複数のダイオードの直列回路に一定電流を流すことにより発生させ、対数圧縮ダイオードとして基準電圧用ダイオードと同数のダイオードを直列接続したものを用い、そのダイオード数により出力電圧レンジを設定する。

【0012】

$$\begin{aligned} V_{out} &= (nkT/q) \ln(I_{ref}/Is) - (nkT/q) \ln(I_l/Is) \\ &= (nkT/q) \ln(I_{ref}/I_l) \end{aligned} \quad \dots \quad (4)$$

* 【実施例】図1は請求項1に対応した実施例を表わす。破線で囲まれた部分が演算増幅器OP1aを表わし、その反転入力端子(トランジスタQ4のゲート)と非反転入力端子(トランジスタQ5のゲート)の間にはフォトダイオードPDが非反転入力端子側がカソード、反転入力端子側がアノードとなるように接続され、非反転入力端子側には基準電圧源2から基準電圧が印加されている。演算増幅器OP1aの出力はトランジスタQ9と抵抗R12を含むエミッタホロワ出力駆動回路と、トランジスタQ10と抵抗R13を含むエミッタホロワ出力駆動回路との2系統を含んでいる。トランジスタQ9のエミッタにダイオードD1を構成するトランジスタのコレクタとベースが接続され、トランジスタQ10のエミッタにダイオードD2を構成するトランジスタのエミッタが接続されている。ダイオードD1用のトランジスタのエミッタとダイオードD2用のトランジスタのコレクタとベースは演算増幅器OP1aの反転入力端子(トランジスタQ4のゲート)に接続されている。ダイオードD2は対数変換ダイオードであり、フォトダイオードPDのアノードから流れ出す電流を電圧に対数変換する。トランジスタQ10のエミッタホロワ出力駆動回路が演算増幅器OP1aの正規の出力となる。ダイオードD1は電源投入時にはね上がる電圧を小さくするために設けられたダイオードである。

【0013】トランジスタQ9とQ10では、トランジスタQ9のトランジスタのエミッタサイズの方がトランジスタQ10のエミッタサイズよりも小さく、抵抗値は抵抗R12の方が抵抗R13より小さく設定されている。これにより、電源投入時にはね上がる電圧は、トランジスタQ9とQ10が同じサイズで、抵抗R12とR13が同じ抵抗値である場合に比べて小さくなる。つまり、(1)式における(V1-V0)が小さくなる。そのため、電源投入時の出力電圧の応答速度が速くなる。

【0014】図2(A)は請求項2に対応した実施例を表わし、電源投入時の応答速度を速めるとともに、ダイオード数によりレンジを設定するものである。図5と比較すると、対数変換用演算増幅器OP1の対数変換ダイオードとしてn個のダイオードD21～D2nが直列に接続されて、その直列回路にフォトダイオードPDからの電流Ilが流されるようになっている。また、基準電圧源では演算増幅器OP2の非反転入力端子とグラウンド端子間に対数変換ダイオードと同数のn個のダイオードD31～D3nが直列に接続され、定電流源4から電流Irefがそのn個のダイオードD31～D3nに流されるようになっている。

【0015】図2(A)でフォトダイオードPDからダイオードD21～D2nに電流Ilが流れたとき、出力Voutは次の式で表わされる。

この(4)式を前に示した(3)式と比較すると、(3)式の($R_1 + R_2 / R_2$)をnに置き換えたものが(4)式であると言える。(3)式では図5のR1を正温度係数の抵抗にすることにより温度補正が可能であるが、図2の実施例ではnは定数であるため温度補正是不可能である。そのため、図2の回路では温度センサと組み合わせ、CPUにおいて温度補正を行なうようする。その場合、CPUを用いることにより生じる不利益は、正温度係数の外付け抵抗を用いる不利益に比べて小さい。

【0016】図2(A)の回路では、対数変換ダイオードD21～D2nの寄生容量が小さくなる。すなわち、ダイオードD21～D2nにはそれぞれのアノードとカソードの間にそれぞれ寄生容量C21～C2nが発生するが、それらの寄生容量C21～C2nは全て直列接続であるため、全体では

$1/C_2t = 1/C_{21} + 1/C_{22} + \dots + 1/C_{2n}$ となる。C2tは演算増幅器OP1の反転入力端子と出力端子間の容量を表わす。C21～C2nを全て一定のC2とすると、

$$1/C_2t = n/C_2$$

$$C_2t = C_2/n$$

となる。したがって、ダイオードD21～D2n全体の寄生容量はダイオード1個の寄生容量の1/nとなって、電源投入時の応答速度が速くなる。ほぼn倍のスピードになると考えられる。

【0017】ここで、回路規模を考えると、図5における演算増幅器OP3が不要になった分小さくなり、そのため温度センサを測光回路と同一チップ上に組み込んでも回路規模は図5の回路と同等と考えることができる。図5では演算増幅器OP3のオフセットを考慮する必要があるが、図2ではその必要がなくなる。図2(A)の出力Voutと光電力I1との関係を図2(B)に示す。

【0018】図2(A)はカソードコモン型測光回路であるが、測光回路には他にアノードコモン型がある。図3(A)にアノードコモン型の実施例を示す。図3(A)ではフォトダイオードPDはアノードが非反転入力端子、カソードが反転入力端子に接続される。対数変換ダイオードD21～D2nの直列回路はアノード側が出力端子側に、カソード側が反転入力端子側に接続されている。基準電圧源では電源端子と演算増幅器OP2の非反転入力端子の間にn個のダイオードD31～D3n

が直列に接続され、その非反転入力端子とグラウンド端子間に定電流源4が接続されている。図3(A)でも電源投入時の応答速度を速くし、出力レンジをダイオード数により設定することができる。図3(A)の光電流I1と出力Voutの関係は図3(B)に示されるようになる。

【0019】

【発明の効果】本発明で演算増幅器の出力駆動回路を2系統とし、電源投入時の電圧のはね上がりを抑える出力

10 駆動回路のトランジスタのエミッタサイズと抵抗値を正規の出力駆動回路のトランジスタのエミッタサイズと抵抗値より小さな値に設定すれば、電源投入時に出力を速く安定させることができる。本発明で対数変換用演算増幅器の対数変換ダイオードとしてダイオードを直列に複数個接続することにより、演算増幅器と帰還抵抗により出力レンジを設定するに比べると、回路規模が小さくなり、誤差要因が減るだけでなく、電源投入時の応答が速くなり、システム上でのコストダウンを図ることもできる。

20 【図面の簡単な説明】

【図1】第1の実施例を示す回路図である。

【図2】第2の実施例を示す図であり、(A)は回路図、(B)は光電流に対する出力電圧を示す図である。

【図3】第3の実施例を表わす図であり、(A)は回路図、(B)は光電流に対する出力電圧を示す図である。

【図4】従来の測光回路を示す図であり、(A)は基本的な回路図、(B)は(A)の電源投入時の出力電圧変化を示す図、(C)は電源投入時の応答速度を速くするために改良された測光回路を示す回路図、(D)は

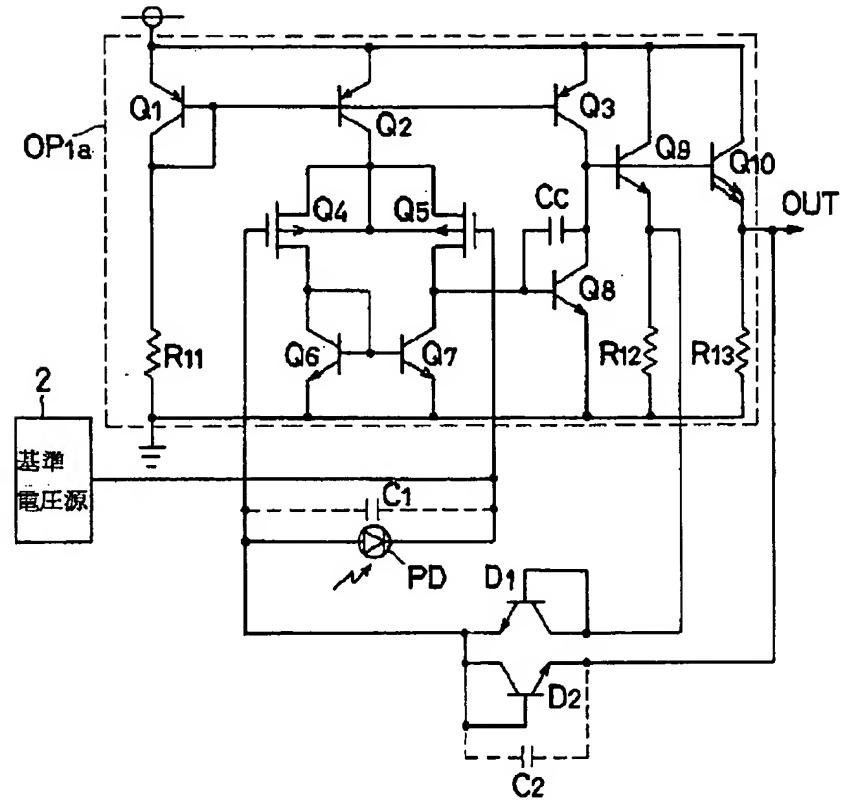
30 (C)の電源投入時の出力電圧変化を示す図である。

【図5】従来の出力レンジ設定回路までを含めた測光回路を示す回路図である。

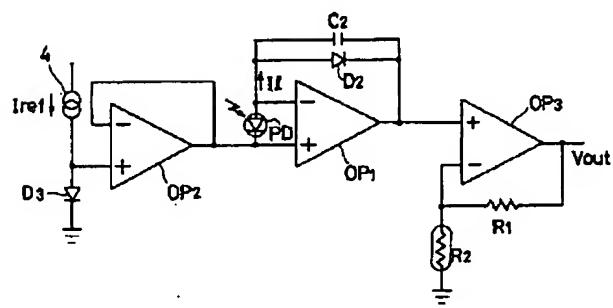
【符号の説明】

OP1, OP1a	対数変換用演算増幅器
OP2	基準電圧源のバッファアンプ
用演算増幅器	
D2, D21～D2n	対数変換ダイオード
PD	フォトダイオード
D3, D31～D3n	基準電圧用ダイオード
40 C2, C21～C2n	寄生容量
2	基準電圧源
4	定電流源

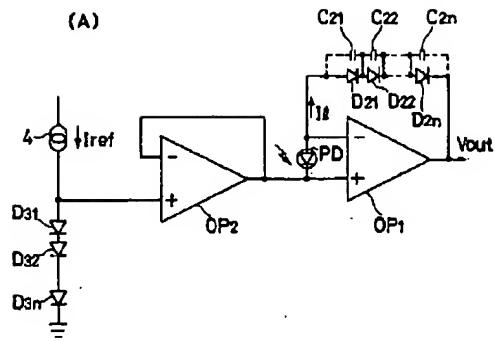
【図1】



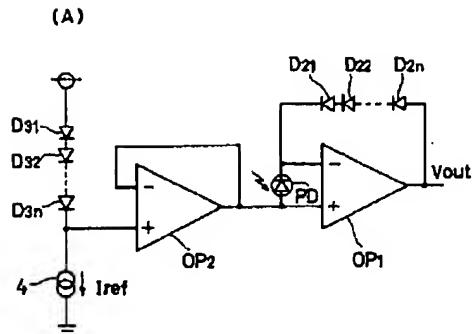
〔図5〕



【図2】



【図3】



(B)



(B)



【図4】

